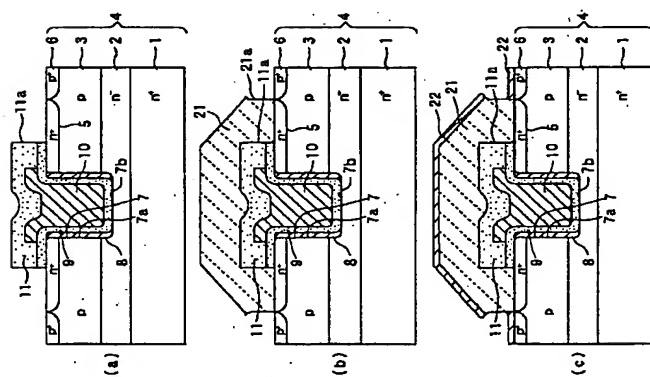
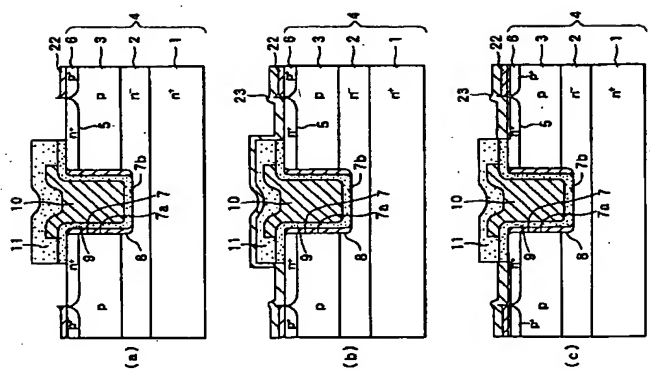


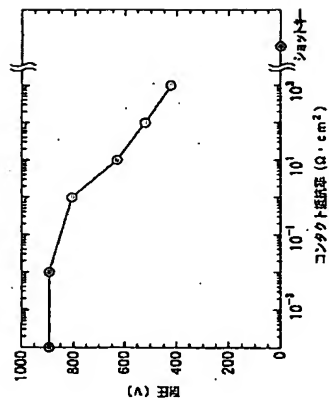
【図4】



【図5】



【図7】



体基板4の上面全面に厚さ0.5μm程度のN1膜23を蒸着する。このとき、A1膜22とN1膜23とがオーバラップするように、つまり接触するように形成される。上述した焼成により、A1とN1とがオーバラップしているA1はp型半導体とオーミック接触することができるため、A1膜22はp型領域6とオーミック接触することになる。これにより、A1膜22とp型領域6とのコンタクト抵抗の増加を防止することができる。

【0040】図5(c)に示す工程)コンタクトホール内にのみN1膜23が現れるようにパターニングしたのち、1000℃で程度による熱処理を施す。これにより、A1膜22及びN1膜23におけるA1やN1がそれぞれp型領域6やn<sup>+</sup>型ソース領域5に拡散し、オーミック電極となる。

【0041】なお、N1膜23のパターニングは、熱処理の前に行わなくても、熱処理によってセルフアラインで図1の絶縁膜11上のN1膜23は除去されるが、除去されたN1膜23が後工程のゴミとして問題になる可能性がある。上述のように熱処理前にパターニングすることが好ましい。なお、この後、コンタクトホール内を含む半導体基板4の上面全面にA1膜24を蒸着したのち、このA1膜24をパターニングして、ソース電極12とゲート電極10と接続されるゲート電極(図示せず)を形成し、さらに半導体基板4の裏面にドレイン電極13を形成して、図1に示す縦型パワーMOSFETが完成する。

【0042】このように、リフトオフ法によってA1膜22を除去するようにしているため、図1の絶縁膜11に形成されたコンタクトホール11の端部にA1膜22が残らないようにでき、A1膜22が図1の絶縁膜11と反転することによるゲート電極10とソース電極10との短絡等の発生を防止することができる。また、p型領域6との接線はA1膜22で行っているため、N1膜23とオーバラップさせてもp型領域6とのオーミック接触を確保することができる。これにより、p型領域6とのコン

タクト抵抗を低減することができる。

【0043】なお、上記実施形態においては、溝ゲート型のMOSFETを例に挙げて、n<sup>+</sup>型ソース領域5とp型領域6とのコンタクト抵抗の低減を図ったが、これに限らず図1の絶縁膜11に形成されたコンタクトホールを介してp型半導体におけるコンタクト領域とオーミックコンタクトが必要となる場合すべてに適用することができる。例えば、プレーナ型のMOSFETにおいて、コンタクトホールを通じてn<sup>+</sup>型ソース領域及びp型ベース領域との電気的接続を行う際に適用することができる。

【0044】また、上記実施形態ではp型ベース領域3とのコンタクト用にp型領域6を形成しているが、p型ベース領域3のみでもよい。

【図面の簡単な説明】

【図1】本発明にかかわる縦型パワーMOSFETの断面図である。

【図2】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図3】図2に続く縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

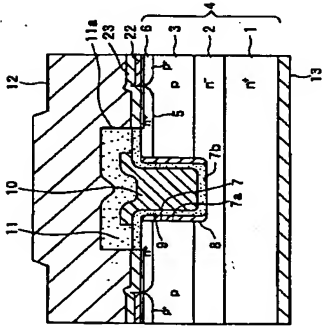
【図6】従来の縦型パワーMOSFETを説明するための図である。

【図7】耐圧とコンタクト抵抗率との関係を示す図である。

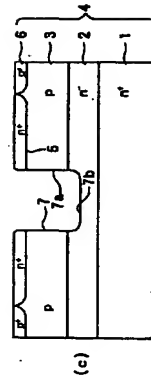
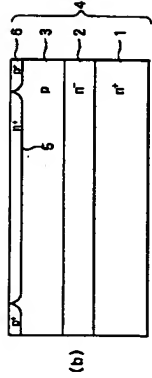
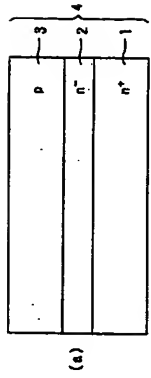
【符号の説明】

1...n<sup>+</sup>型半導体基板、2...n<sup>+</sup>型エポキシ、3...p型ベース領域、4...半導体基板、5...n<sup>+</sup>型ソース領域、6...p型領域、7...溝、8...n型半導体領域、9...ゲート絶縁膜、10...ゲート電極、11...図1の絶縁膜、12...ソース電極、13...ドレイン電極、21...レジスト膜、22...A1膜、23...N1膜。

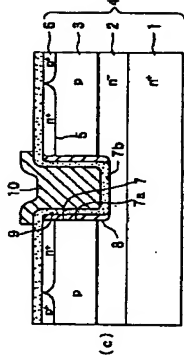
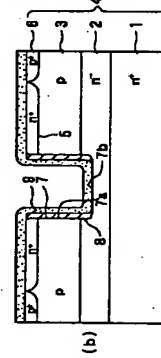
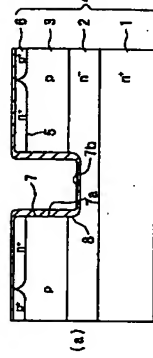
【図1】



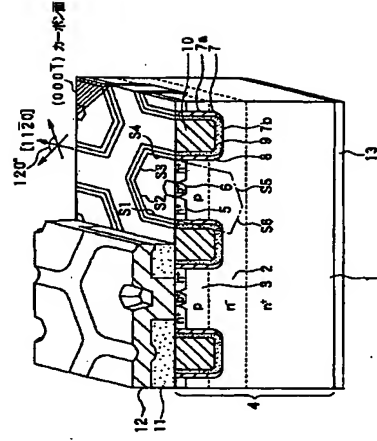
【図2】



【図3】



【図6】



タクト抵抗率の特性について調査するという実験を行った。具体的には、p型ベース領域3の電極材料としてA1、Al/Ti、Tiを用いた。その結果、A1の場合には、Niをオーバラップさせた場合のみオミミック接触となり、その時のコンタクト抵抗率が $1.0 \sim 3.0 \text{ } \Omega \cdot \text{cm}$ を示した。Al/Tiの場合には、Niをオーバラップさせない場合にのみオミミック接触となり、オーバラップさせた場合には非オミミック接触であった。Tiの場合には、Niのオーバラップの有無に関わらず、非オミミック接触であった。

[00018] この結果より、Niをオーバラップさせる場合にはA1を用いれば、コンタクト抵抗率を低減できるといえる。そこで、請求項4に記載の発明においては、第1の電極層(22)はほぼA1のみで構成されており、このA1の上には少なくともNiを含む第2の電極層(23)が積層されていることを特徴としている。[00019] このように、第1の電極層をほぼA1のみで構成すれば、A1の上にNiを含む第2の電極層が積層されていても、コンタクト領域と第1の電極層とがオミミック接触となるようにでき、コンタクト抵抗を低減することができる。請求項6に記載の発明は溝ゲート型炭化珪素半導体装置において、請求項7に記載の発明はプレーナ型の炭化珪素半導体装置において、コンタクトホール(11a)を介して、少なくともベース領域に接続される第1の電極層を備え、コンタクトホールの側面から離開した位置にのみ、第1の電極層が形成されるようにしている特徴としている。

[00020] このように、ベース領域に接続される第1の電極層がコンタクトホールの側面から離開した位置にのみ形成されるようにすれば、ゲート電極と他の電極との短絡を防止できる。請求項8に記載の発明においては、第1の電極層(22)はほぼA1のみで構成されており、この第1の電極層の上に第2の電極層(23)が積層されていることを特徴としている。

[00021] このように、第1電極層をA1で構成することにより、ソース領域に接続されるNiよりなる第2の電極層と接触してもコンタクト抵抗率の増加を防ぐことができる。なお、請求項9に示すように、ソース領域と半導体層の間に酸素を含有する炭化珪素膜を形成することにより、第1電極層の表面に、炭化珪素よりなる第1導電型の薄膜層を形成した炭素チャネルタイプ炭化珪素半導体装置に適用することができる。

[00022] 具体的には、請求項10に示すように、ベース領域と、第1の電極層とのコンタクト抵抗率が $1.0 \sim 3.0 \text{ } \Omega \cdot \text{cm}^2$ 以下となり、オン抵抗の低減と駆動電圧の維持を図ることができる。請求項11に記載の発明においては、コンタクトホール(11a)を含む周囲絶縁膜(1)上にレジスト膜(21)を形成すると共に、該レジスト膜のうちのコンタクト領域上の部分を開口させ、さらにレジスト膜上にA1を含む金属層を形成したのちレジスト膜を除去することにより、レジスト膜上に形成される

金属層をリフトオフさせて、第1の電極層(22)を形成することを特徴としている。

[00023] このように、リフトオフ法を用いることによって、コンタクト領域上にのみ第1の電極層を形成することができ、コンタクトホールの端部には第1の電極層が形成されないようにできる。これにより、ゲート電極層と他の電極層との短絡を防止することができる。請求項12に記載の発明においては、第1の電極層を形成する工程では、第1の電極層をほぼA1のみで形成し、その後、第1の電極層と接するNiを含む第2の電極層を少なくともコンタクトホール内に形成する工程を行うことを特徴としている。

[00024] このように、第1の電極層をほぼA1のみで形成すれば、Niを含む第2の電極層と第1の電極層とが接しているコンタクト抵抗が増加することはない。具体的には、請求項13に示すように、溝ゲート型の炭化珪素半導体装置や、請求項14に示すように、プレーナ型の炭化珪素半導体装置に適用することができ、レーナ型の炭化珪素半導体装置に適用することができ、なお、請求項15に示すように、ソース領域と半導体層の間に酸素を含有する炭化珪素膜を形成した炭素チャネルタイプのもに適用してもよい。

[00025] なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段と対応関係を有するものである。

[00026]

[発明の実施の形態] 以下、本発明を図に示す実施形態について説明する。図1に本実施形態にかかわる炭化珪素半導体装置としてnチャネルタイプの溝ゲート型MOSFET(以下、n型MOSFETという)を示す。以下、この図に基づいてMOSFETの構造について説明する。

[00027] 低抵抗なn型半導体基板1には、六方晶炭化珪素が用いられている。このn型半導体基板1上には、高抵抗半導体層としてのn型エピタキシャル層(以下、n型エピタキシャル層という)2とp型ベース領域3を形成するp型層(以下、p型ベース領域という)3が順次積層されている。このように、n型半導体基板1とn型エピタキシャル層2とp型ベース領域3とから単結晶炭化珪素よりなる半導体基板4が構成されており、その上面を略(0001)カーボン面としている。

[00028] p型ベース領域3の表面層の所定領域には、n型ソース領域5が形成されている。さらに、p型ベース領域3の表面層の所定領域には、低抵抗なp型領域6が形成されている。また、n型ソース領域5の所定領域に溝7が形成され、この溝7はn型ソース領域5とp型ベース領域3とを貫通し、n型エピタキシャル層2に達している。溝7は、半導体基板4の表面に垂直な側面7aおよび半導体基板4に平行な底面7bを有している。そして、この溝7の側面7aによって、図6に示す

MOSFETと同様に、溝の側面の各内角が略等しい六角形状を構成している。

[00029] 溝7の側面7aにおけるn型ソース領域5とp型ベース領域3とn型エピタキシャル層2の表面には、n型半導体層8が形成されている。n型半導体層8は、厚さがおよそ $1000 \sim 5000 \text{ } \text{\AA}$ 程度となっている。n型半導体層8の不純物濃度は、n型半導体基板1およびn型ソース領域5の不純物濃度よりも低くなっている。

[00030] さらに、溝7内のn型半導体層8の表面と溝7bには、ゲート絶縁膜9が形成されている。溝7内におけるゲート絶縁膜9の内側には、ゲート電極層10が形成されている。ゲート電極層10は、周囲絶縁膜11にて覆われている。周囲絶縁膜11に形成されたコンタクトホール11aを介して、n型ソース領域5の表面とp型ベース領域6の表面にはソース電極層12が形成されている。

[00031] このソース電極層12は、p型領域6と接続された第1の電極層としてのA1膜22とn型ソース領域5と接続された第2の電極層としてのNi膜23とを有している。A1膜22は、コンタクトホール11aの内壁から所定距離間隔に位置して形成されており、周囲絶縁膜11と接しないようになっている。Ni膜23は、A1膜22とオーバラップする(接する)ように形成されており、周囲絶縁膜11と接するようになっている。

[00032] n型半導体基板1の表面(半導体基板4の裏面)には、第3の電極層としてのドレイン電極層13が形成されている。次に、図1に示す装置型パワーMOSFETの製造工程を図2～図5に基づいて説明する。図2(a)に示す工程)まず、主表面が略(0001)カーボン面であるn型半導体基板1を用意する。この半導体基板1の表面にn型エピタキシャル層2をエピタキシャル成長させ、さらにn型エピタキシャル層2をp型ベース領域3をエピタキシャル成長させる。

[00033] このようにして、n型半導体基板1とn型エピタキシャル層2とp型ベース領域3とからなる半導体基板4が形成される。

[図2(b)に示す工程] 次に、p型ベース領域3の表面の所定領域に、n型ソース領域5を例えば窒素のイオン注入により形成する。さらに、p型ベース領域3の表面層の所定領域にp型領域6を例えばアルミニウムのイオン注入により形成する。

[00034] 図2(c)に示す工程)ドライエッチング法(RIE法)により、n型ソース領域5及びp型ベース領域3と共に貫通してn型エピタキシャル層2に達する溝7を形成する。このとき、溝7の側面7aが[11-20]方向に延びるように溝7を形成する。

[図3(a)に示す工程] エピタキシャル成長法により、溝7の内壁(側面7a及び底面7b)を含めた半導体基

板4の上面にn型半導体層8を形成する。つまり、溝7の内壁におけるn型ソース領域5、p型ベース領域3及びn型エピタキシャル層2の表面に延びるn型半導体層8を形成する。このとき、溝7の側面7aのn型半導体層8の不純物濃度は、n型半導体基板1及びn型ソース領域5の不純物濃度より低く設定する。

[00035] 図3(b)に示す工程)熱酸化により半導体基板4及びn型半導体層8の表面と溝7の底面7bにゲート酸化膜9を形成する。このとき、ゲート酸化膜9は溝7aで薄く、基板表面及び溝7bで厚くなり、基板4の表面上及び溝7b上にエピタキシャル成長で形成されたn型半導体層8が酸化膜に覆われる。これは六方晶炭化珪素の酸化速度が(0001)カーボン面で最も早く(0001-)カーボン面に垂直な面に比べて約5倍であるからである。このようにして、エピタキシャル成長で形成されたn型半導体層8のうち半導体基板4の表面及び溝7bの半導体層8が熱酸化して溝7aにのみ半導体層8が残ることとなる。

[00036] 図3(c)に示す工程)溝7内を含む、半導体基板4の上面にポリシリコン膜を形成したのち、このポリシリコン膜をゲート酸化(熱酸)膜9の内側にのみ残し、ゲート電極層10を形成する。

[図4(a)に示す工程] ゲート電極層10の上面に周囲絶縁膜11を形成する。そして、周囲絶縁膜11の所定領域を開口させて、n型ソース領域5及びp型領域6と連通するコンタクトホール11aを形成する。

[00037] 図4(b)に示す工程)フォトリソグラフィを用いて、コンタクトホール11aを含む半導体基板4の上面全面にレジスト膜21を形成したのち、p型領域6の上におけるレジスト膜21を除去して、p型領域6と連通する開口部21aをパターンニングする。

[図4(c)に示す工程] 次に、開口部21aを含むレジスト膜21の上面に厚さ0.1 $\mu\text{m}$ 程度のA1膜22を蒸着する。これにより、p型領域6の上にA1膜22が配置された状態となる。

[00038] 図5(a)に示す工程)そして、レジスト膜21を除去する。これにより、A1膜22のうちレジスト膜21の上に形成されていた部分はリフトオフされ、p型領域6の上に形成されていたもののみが残る。このように、リフトオフ法によってA1膜22のうちp型領域6の上に形成されていた部分を除去して、p型領域6の表面に形成されたコンタクトホールのため、周囲絶縁膜11に形成されたコンタクトホールの端部にA1膜22が残ることはない。これにより、後工程に行う熱処理工程(図5(c)参照)においても、A1膜22と周囲絶縁膜11とが区分されることなく、ゲート電極層10とソース電極層12との短絡等の発生を防止することができ。

[00039] 図5(b)に示す工程)半導体基板4を150°C程度に加熱した状態で、A1膜22を含む半導

前記図面絶縁膜の所定領域をエッチングして前記コンタクトホールを形成する工程と、

前記コンタクトホールを含む前記図面絶縁膜上に、レジスト膜(21)を成膜すると共に、該レジスト膜のうち前記コンタクト領域上の部分を開口させる工程と、前記開口させた部分を含む前記レジスト膜上に、A1を含む金属膜を成膜したのち前記レジスト膜を除去して、前記レジスト膜上に成膜された金属膜をリフトオフさせ、前記第1の電極層を形成する工程と、

前記半導体基板及び前記第1の電極層を900℃以上で熱処理する工程と、

を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項12】 前記第1の電極層を形成する工程の後、N1を含む第2の電極層(23)を少なくとも前記コンタクトホール内に形成する工程を含むことを特徴とする請求項11に記載の炭化珪素半導体装置の製造方法。

【請求項13】 低抵抗な第1導電型の基板(1)の上、高抵抗な第1導電型の半導体層(2)と、第2導電型のペーバース領域(3)とを順次に積層することによって炭化珪素よりなる半導体基板(4)を形成する工程と、

前記ペーバース領域の所定領域に第1導電型のソース領域(5)を形成する工程と、

前記ペーバース領域と前記ソース領域を共に貫通し、前記半導体層に達する溝(7)を形成する工程と、

前記溝の内壁において、少なくとも前記ソース領域と前記半導体層の間に前記ペーバース領域の上に、ゲート絶縁膜(9)を形成する工程と、

前記溝内における前記ゲート絶縁膜の内側にゲート電極層(10)を形成する工程と、を含んでいることを特徴とする請求項11又は12に記載の炭化珪素半導体装置の製造方法。

【請求項14】 前記半導体基板上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層を形成する工程と、

前記半導体層の表面層の所定領域に、前記コンタクト領域を含む第2導電型のペーバース領域を形成する工程と、

前記ペーバース領域の表面層の所定領域に、前記ペーバース領域よりも低い第1導電型のソース領域を形成する工程と、少なくとも前記ソース領域と前記半導体層の間に前記ペーバース領域の上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記ゲートを形成する工程と、を含んでいることを特徴とする請求項11又は12に記載の炭化珪素半導体装置の製造方法。

【請求項15】 前記ソース領域と前記半導体層の間に前記ペーバース領域の表面には、第1導電型の半導体層(8)が形成されていることを特徴とする請求項13又は14に記載の炭化珪素半導体装置の製造方法。

【0006】 図7に高圧のp型ペーバースコンタクト抵抗率依存性の一例を示す。この図に示されるように、p型ペーバースコンタクト部6との接合(p型ペーバース領域3とのコンタクト)がショットキー接合であると、耐圧が0Vと

なってしまうが、p型ペーバースコンタクト抵抗率が10<sup>-1</sup>Q・cm<sup>2</sup>以下になると耐圧がn型薄層8の耐圧の場合と同等となるのである。

【0007】 本発明は上記問題に鑑みて成され、p型層とコンタクト抵抗率が10<sup>-1</sup>Q・cm<sup>2</sup>以下とできる電極構造を有する炭化珪素半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明者は、p型ペーバースコンタクト抵抗率が10<sup>-1</sup>Q・cm<sup>2</sup>以下となるような電極構造及びその製造方法について検討を行った。まず、図6のMOSFETにおいて、コンタクトホールを含むウェハ表面にA1/T1膜を蒸着したのち、ウェットエッチングによりp型ペーバース領域3上にのみA1/T1膜を残し、さらにn<sup>+</sup>型ソース領域5とオーミック接合となるN1を蒸着してから熱処理を施してコンタクト構造を形成した(特開平2-196421号公報参照)。

【0009】 その結果、ゲート電極10と他の電極(ここでは、ソース電極12)を示す。以下ソース電極12と(いう)とが短絡するという問題と、p型ペーバースコンタクト抵抗率が増大するという問題が発生することが判明した。これらの原因を追求すべく、以下の試作・検討を行った。第1に、ゲート電極10とソース電極12とが短絡するという問題に対して、これらの間に配置される層間絶縁膜11の材料(酸化膜)と電極材料との反応性、及び工程の詳細調査を実施した。

【0010】 具体的には、酸化膜の上にA1/T1、A1/N1、A1、N1等の電極材料を蒸着したあとと熱処理(1000℃、10分)：電極材料と炭化珪素とのオーミックコンタクトをとるための熱処理条件)を施し、その後の電極材料と酸化膜との界面の状態を調査した。その結果、A1及びA1を含む電極材料を用いた試料では、酸化膜中に合金層が形成されており、深さが1.5μmに達するものもあった。一方、N1を用いた試料では合金層は見られなかった。このため、A1が酸化膜と接合している状態に熱処理時に合金層が形成され、短絡が発生すると考えられる。

【0011】 そして、製造工程について調査を行ったところ、A1/T1膜を蒸着した後には実施されるウェットエッチングにおいて、コンタクトホールにA1/T1が残っていることが判明した。つまり、コンタクトホール等の凹みのある試料にレジストを塗布した場合、凹部の増幅でレジスト膜厚が他の部分よりも厚くなるため、p型ペーバース領域上に電極部を残す際の露光条件では、コンタクトホールにレジストが残ってしまうので

ある。

【0012】 これらの事実をまとめると、ゲート電極10とソース電極12との短絡は、コンタクトホール端に残ったA1/T1と酸化膜との反応によって形成された合金層によってゲート電極10とソース電極12とが接合されてしまった、合金層形成による応力で酸化膜にクラックが発生してゲート電極10とソース電極12とが接続してしまったことと生じるといえる。

【0013】 そこで、請求項1に記載の発明においては、A1を含む第1の電極層(22)は、図面絶縁膜(11)から離間した位置にのみ形成されていることを特徴としている。このように、A1を含む第1の電極層が、図面絶縁膜から離間した位置にのみ形成されているため、ゲート電極層(8)と第1の電極層(12)との短絡を防止することができる。

【0014】 具体的には、請求項2に示すように、層間絶縁膜に形成されたコンタクトホール端面に第1の電極層が接しないようにすればよい。なお、請求項3に示すように、半導体基板がp型である場合には、p型半導体と電極の接合のために第1の電極層としてA1を含むもので構成するため、このような場合に有効である。

【0015】 一方、第2に、p型ペーバースコンタクト抵抗率が増大するという問題に対して、p型ペーバース領域3のコンタクトに用いられるA1/T1電極の抵抗率(p型ペーバースコンタクト抵抗率)が、A1/T1電極にn<sup>+</sup>型ソース領域5とオーミック接合となるN1電極をオーミック接合させない場合で変化するか比較した。なお、ここではA1/T1電極にN1電極の一部でも接する場合はオーミック接合させた場合としている。その結果、A1/T1電極とN1電極とをオーミック接合させた場合の方が、オーミック接合させない場合に比してp型ペーバースコンタクト抵抗率が増大した。

【0016】 従って、A1/T1電極とN1電極とをオーミック接合させないようにすれば、p型ペーバースコンタクト抵抗率の増大を防止でき、p型ペーバース領域3の電極材料として上記コンタクト抵抗率を決定するものであれば、いずれの材料を使用してもよいといえる。しかしながら、一部でもオーミック接合すればコンタクト抵抗率が増大してしまうため、p型ペーバース領域3やn<sup>+</sup>型ソース領域5の電極材料のパターニング時におけるそれぞれのライメントずれを考慮した設計としなければならず、セルサイズを増大させるという問題を発生させてしまうため、p型ペーバース領域3の電極材料にN1をオーミック接合する場合において、コンタクト抵抗率の低減を図らなければならない。

【0017】 このため、p型ペーバース領域3の電極材料とn<sup>+</sup>型ソース領域5の電極材料であるN1とをオーミック接合させて、p型ペーバース領域3の電極材料におけるコン

## (19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12846

(P2000-12846A)

(49) 公開日 平成12年1月14日 (2000.1.14)

(51) Int. Cl.	識別記号	特許平10-175050
H01L 29/78	301	
21/28	301	
29/16		
29/78		
審査請求 未請求	請求項の数15 OL (全 9 項)	

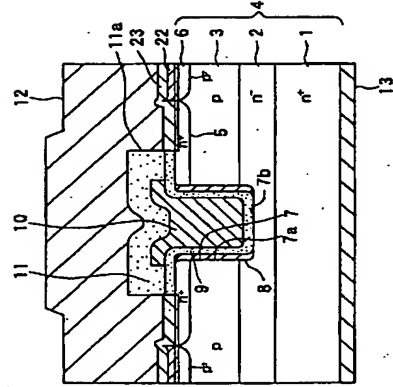
(21) 出願番号	特願平10-175050	(71) 出願人	000004280 株式会社デンソー
(22) 出願日	平成10年6月22日 (1998.6.22)	(72) 発明者	竹内 有一 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(72) 発明者	近藤 剛 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(74) 代理人	100100022 井理士 伊藤 祥二 (外1名) Fターム(参考) 4M104 A401 B802 B805 B814 G001 D034 E503 F22 G009

## (54) 発明の名称 炭化珪素半導体装置及びその製造方法

## (57) 要約

【課題】 図間絶縁膜を通じてゲート電極と他の電極とが短絡することを防止すると共に、コンタクト領域とのコンタクト抵抗を低減できるようにする。

【解決手段】 コンタクトホール11aを介して、p型領域6 (p型ベース領域3) に接続される電極をA1膜22で構成し、このA1膜22をコンタクトホール11aの側面から離間した位置にのみ形成する。これにより、A1膜22が図間絶縁膜11と反応するのを防止でき、ゲート電極8とソース電極12が短絡してしまわないようにできる。また、p型領域6と接続される電極をA1膜22で構成することにより、n<sup>+</sup>型ソース領域5に接続されるN1膜23とA1膜22がオーバーラップしてもA1膜22とp型領域6とがオーミック接触するようにできる。これにより、コンタクト領域とのコンタクト抵抗を低減できる。



## 【特許請求の範囲】

- 【請求項1】 炭化珪素からなり、所定位置にコンタクト領域 (6) が形成された半導体基板 (1) と、前記半導体基板の上にゲート絶縁膜 (9) を介して形成されたゲート電極 (10) と、  
前記ゲート電極を覆うように形成されていると共に、前記コンタクト領域に連通するコンタクトホール (11a) を備えたシリコン酸化膜よりなる図間絶縁膜 (11) と、  
前記コンタクト領域とオーミック接触となるA1を含む第1の電極 (22) と、を有する炭化珪素半導体装置において、  
前記第1の電極は、前記図間絶縁膜から離間した位置にのみ形成されていることを特徴とする炭化珪素半導体装置。  
【請求項2】 前記第1の電極は、前記コンタクトホールの側面に接触しないように形成されていることを特徴とする請求項1に記載の炭化珪素半導体装置。  
【請求項3】 前記コンタクト領域は、p型半導体で構成されていることを特徴とする炭化珪素半導体装置。  
【請求項4】 前記第1の電極はほぼA1のみで構成されており、このA1の上にはN1を含む第2の電極が積層されていることを特徴とする請求項3に記載の炭化珪素半導体装置。  
【請求項5】 前記第1の電極はほぼA1のみで構成されており、  
前記コンタクトホール内の前記コンタクト領域上、及び前記第1の電極の上には、N1を含む第2の電極が積層されていることを特徴とする請求項3に記載の炭化珪素半導体装置。  
【請求項6】 低抵抗な第1導電型の基板 (1) の表面側に、高抵抗な第1導電型の半導体 (2) と、第2導電型のベース領域 (3) とが順次に積層された単結晶炭化珪素よりなる半導体基板 (4) と、  
前記半導体層の所定領域に形成された第1導電型のソース領域 (5) と、  
前記ベース領域と前記ソース領域を共に貫通し、前記半導体層に達する溝 (7) と、  
前記溝の内壁上に形成されたゲート絶縁膜 (9) と、  
前記溝内における前記ゲート絶縁膜の内側に形成されたゲート電極 (10) と、  
前記半導体領域及び前記ゲート電極の上に形成され、前記ベース領域及び前記ソース領域に連通するコンタクトホール (11a) を備えた図間絶縁膜 (11) と、  
前記コンタクトホールを介して、少なくとも前記ベース領域に接続されたA1を含む第1の電極 (22) と、  
前記コンタクトホールを介して、少なくとも前記ソース領域に接続されたN1を含む第2の電極 (23) と、  
前記半導体基板の表面に形成された第3の電極 (113) とを備え、

- 前記コンタクトホール11aの側面から離間した位置にのみ、前記第1の電極が形成されていることを特徴とする炭化珪素半導体装置。  
【請求項7】 主表面及び主表面の反対側である裏面に、有し、炭化珪素よりなる第1導電型の半導体基板と、前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層と、  
前記半導体層の表面部の所定領域に形成され、所定深さを有する第2導電型のp型のベース領域と、  
前記ベース領域の表面部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域と、  
前記ソース領域と前記半導体層の間に形成された前記ベース領域の上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されたゲート電極と、  
前記ゲート電極を覆うように形成され、所定位置にコンタクトホールが形成された図間絶縁膜と、  
前記コンタクトホールを介して、少なくとも前記ベース領域に接続されたA1を含む第1の電極と、  
前記コンタクトホールを介して、少なくとも前記ソース領域に接続されたN1を含む第2の電極と、  
前記半導体基板の裏面に形成された第3の電極とを備え、  
前記コンタクトホールの側面から離間した位置にのみ、前記第1の電極が形成されていることを特徴とする炭化珪素半導体装置。  
【請求項8】 前記第1の電極の上には、前記第2の電極が積層されていることを特徴とする請求項6又は7に記載の炭化珪素半導体装置。  
【請求項9】 前記ソース領域と前記半導体層の間に形成される前記ベース領域の表面に、炭化珪素よりなる第1導電型の半導体層 (8) が備えられていることを特徴とする請求項6乃至8のいずれか1つに記載の炭化珪素半導体装置。  
【請求項10】 前記ベース領域と、前記第1の電極とのコンタクト抵抗率が $10^{-10} \cdot \text{cm}^2$ 以下であることとを特徴とする請求項6乃至8のいずれか1つに記載の炭化珪素半導体装置。  
【請求項11】 炭化珪素からなり、所定位置にコンタクト領域 (6) が備えられた半導体基板 (4) と、  
前記半導体基板上に形成されたゲート電極 (10) と、  
前記ゲート電極を覆うように形成され、所定位置にコンタクトホール (11a) が形成された図間絶縁膜 (11) と、  
前記コンタクトホールを介して前記コンタクト領域と接続されるA1を含む第1の電極 (22) とを備えた半導体装置の製造方法であって、  
前記ゲート電極を含む、前記半導体基板上に前記図間絶縁膜を形成する工程と、

The Delphion Integrated View

Get Now: ☒ PDF | More choices...

Tools: Add to Work File:

View: Jump to:

& Title: JP2000012846A2: SILICON CARBIDE SEMICONDUCTOR DEVICE MANUFACTURE THEREOF

& Country: JP Japan  
& Kind: A2 Document Laid open to Public inspection

& Inventor: TAKEUCHI YUICHI;  
ENDO TAKESHI;

& Assignee: DENSO CORP  
News, Profiles, Stocks and More about this company

& Published / Filed: 2000-01-14 / 1998-06-22  
& Application Number: JP1998000175050

& IPC Code: H01L 29/78; H01L 21/28; H01L 29/16;  
& Priority Number: 1998-06-22 JP1998000175050

& Abstract: PROBLEM TO BE SOLVED: To prevent short-circuiting between a gate electrode and other electrodes from being caused through an interlayer insulating film and also to reduce the contact resistance with a contact region.

SOLUTION: An electrode, which is connected with a p+ region 6 (a p-type base region 3) via a contact hole 11a, is constituted of an Al film 22, and this film 22 is formed only at a position separated from the side surface of the hole 11a. Thereby, Al can be prevented from reacting with an interlayer insulating film 11 and the short circuit between a gate electrode layer 8 and a source electrode 12 cannot be caused through. Moreover, since the electrode which is connected with the region 6 is constituted of the film 22, an ohmic contact of the film 22 with the region 6 can be made even through an Ni film 23, which is connected with an n+ source region 5, overlaps the film 22. Thereby, the contact resistance with a contact region can be reduced.

& INPADOC Legal Status: None  
Get Now: Family Legal Status Report

PDF	Publication	Pub. Date	Filed	Title
<input checked="" type="checkbox"/>	JP2000012846A2	2000-01-14	1998-06-22	SILICON CARBIDE SEMICONDUCTOR AND MANUFACTURE THEREOF
<input checked="" type="checkbox"/>	JP0012846A2	2000-01-14	1998-06-22	SILICON CARBIDE SEMICONDUCTOR AND MANUFACTURE THEREOF

2 family members shown above

& Other Abstract Info: None

BEST AVAILABLE COPY